

⑫ 公開特許公報(A)

平3-108771

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月8日

H 01 L 29/788
29/792

7514-5F H 01 L 29/78 371

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 不揮発性半導体記憶装置およびその製造方法

⑯ 特 願 平1-245295

⑰ 出 願 平1(1989)9月22日

⑱ 発 明 者 山 田 誠 司 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置およびその製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板内に形成された
第2導電型の第1、第2の拡散層と、これらの第1、第2の拡散層間に存在するチャ
ネル領域上の一部、および第1の拡散層上に第1

の絶縁膜を介して形成された第1ゲート電極と、

この第1ゲート電極の両側部に形成され、かつ
上記基板上に延在して形成された第2の絶縁膜と、上記チャネル領域上および第1ゲート電極の一
方の側部に存在する第2の絶縁膜上に形成された
第2ゲート電極と、上記第1の拡散層上および第1ゲート電極の他
方の側部に存在する第2の絶縁膜上に形成された
第3ゲート電極とを具備することを特徴とする不
揮発性半導体記憶装置。(2) データの書き込み時、前記第1の拡散層、
第2ゲート電極および第3ゲート電極に同一極性の電位をそれぞれ印加し、前記第1ゲート電極中
に荷電キャリアを注入する手段と、データの読み出し時、第1の拡散層および第2
ゲート電極に前記極性の電位をそれぞれ印加し、
上記第1ゲート電極下のチャネル形成の有無を調
べることにより、データを表わす第1ゲート電極
の帯電状態を調べる手段と、データの消去時、第3ゲート電極に上記極性の
電位を印加し、第1ゲート電極中の荷電キャリア
を第3ゲート電極に向けて引き抜く手段とを具備
することを特徴とする請求項(1)記載の不揮発性
半導体記憶装置。(3) 素子分離領域が形成された第1導電型の
半導体基板に対し、第1の第2導電型拡散層形成
用の第1の不純物をイオン注入する工程と、全面に第1ゲート絶縁膜となる第1の絶縁膜を
形成する工程と、全面に第1ゲート電極となる第1の導体膜を形
成する工程と、

上記第1の導体膜を第1ゲート電極形状にパタ

ーニングする工程と、

上記第1ゲート電極をマスクに第1の絶縁膜を除去する工程と、

上記基板表面および第1ゲート電極表面に、第2ゲート絶縁膜並びに側部絶縁膜となる第2の絶縁膜を形成する工程と、

全面に第2、第3ゲート電極となる第2の導体膜を形成する工程と、

上記第2の導体膜を異方性エッチングし、第2の導体膜をパターニングされた第1の導体膜の両側部に自己整合的に残置させ、第2、第3ゲート電極をそれぞれ形成する工程と、

全面に、ホトレジストを塗布し、これを第1の拡散層上を覆う形状にパターニングする工程と、

上記第1ないし第3ゲート電極、素子分離領域、および第1の拡散層上を覆うホトレジストをマスクにして基板に対し、第2の第2導電型拡散層形成用の第2の不純物をイオン注入し、活性化させてソース/ドレイン拡散層となる第1、第2の拡散層を形成する工程とを具備することを特徴とす

— 3 —

ート電極) 105が形成されている。また、これらからなる積層体の上部、および両側部には、側部絶縁膜106が形成されている。この側部絶縁膜106は上記チャネル上にまで延在し、チャネル領域上では、第2ゲート絶縁膜107となっている。側部絶縁膜106および第2ゲート絶縁膜107上には、第2ゲート電極(選択ゲート電極) 108が形成されている。

次に、この装置におけるデータの書き込み(第1ゲートに電子を注入する)時の動作を説明する。まず、ドレイン領域103に高電位を印加すると、ドレイン領域103と、第1ゲート電極105とのオーバーラップ部における容量カップリングにより、第1ゲート電極105の電位が上がる。さらに第2ゲート電極108に電圧を印加、ソース領域102を接地した状態で、第1ゲート電極105と、第2ゲート電極108との間の、特に側部絶縁膜106下に位置する付近のチャネル領域でチャネルホットエレクトロンを発生させ、このホットエレクトロンを第1ゲート電極105中

— 5 —

る不揮発性半導体記憶装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は不揮発性半導体記憶装置およびその製造方法に係わり、特に電氣的にデータの消去が可能であるE² P R O Mおよびその製造方法に関する。

(従来の技術)

以下、図面を参照して従来技術について説明する。

第3図は、不揮発性半導体記憶装置の公知のメモリセルの構造を示す断面図である。第3図について説明すると、半導体基板101の表面には、ソース領域102、およびドレイン領域103がそれぞれ形成され、これらのソース領域102と、ドレイン領域103との相互間に存在するチャネル領域およびドレイン領域103上には、第1ゲート絶縁膜104が形成されている。この第1ゲート絶縁膜の上部には、第1ゲート電極(浮遊ゲ

— 4 —

に注入させる。

また、データの消去は、紫外線を照射することにより、第1ゲート電極105中に蓄積されている電子を励起させてドレイン領域103に向けて引き抜く。

第3図に示すメモリセルの製造方法は、まず、素子分離領域(図示せず)が形成された基板101内に、選択的に不純物のイオン注入を行ないドレイン領域103を形成し、次いで、第1ゲート絶縁膜104となる第1の熱酸化膜を形成する。次いで、第1ゲート電極となる第1層ポリシリコン層を形成し、ホトレジストを用いたマスク合わせにより、第1層ポリシリコン層を第1ゲート電極105の形状にパターニングする。このパターニング工程で露出した第1の熱酸化膜はこのとき除去してしまう。次いで、第1ゲート電極105の表面と、第1の熱酸化膜が除去された部分に、第2ゲート絶縁膜107および側部絶縁膜106となる第2の熱酸化膜を形成し、引き続き第2ゲート電極108となる第2層ポリシリコン

— 6 —

層を形成する。次いで、ホトレジストを用いたマスク合わせにより、第2層ポリシリコン層を第2ゲート電極108の形状にパターンニングする。最後に第1、第2のゲート電極105、108と、素子分離領域（図示せず）とをマスクとしてソース領域形成用の不純物をイオン注入し、ソース領域102を形成する。

以上のような工程で、第3図に示すメモリセルが製造される。

しかしながら、上記のような工程を経て製造されるメモリセルでは、第2ゲート電極108がマスク合わせによって形成されるために、合わせ誤差を考慮せねばならず、個々のメモリセルにおいて、その占有面積が大きくなるという問題がある。

また、動作の面でも、特にデータの消去の際、紫外線を照射するために、例えばデータの消去に長い時間を要する等、非常に手間がかかるという問題がある。

（発明が解決しようとする課題）

この発明は上記のような点に鑑みて為されたも

— 7 —

方の側部に存在する第2の絶縁膜上に形成された第2ゲート電極と、

上記第1の拡散層上および第1ゲート電極の他方の側部に存在する第2の絶縁膜上に形成された第3ゲート電極とを具備することを特徴とする。

さらに上記（イ）項記載の半導体記憶装置において、データの書き込み時、前記第1の拡散層、第2ゲート電極および第3ゲート電極に同一極性の電位をそれぞれ印加し、前記第1ゲート電極中に荷電キャリアを注入する手段と、

データの読み出し時、第1の拡散層および第2ゲート電極に前記極性の電位をそれぞれ印加し、上記第1ゲート電極下のチャンネル形成の有無を調べることにより、データを表わす第1ゲート電極の帯電状態を調べる手段と、

データの消去時、第3ゲート電極に上記極性の電位を印加し、第1ゲート電極中の荷電キャリアを第3ゲート電極に向けて引き抜く手段とを具備することを特徴とする。

また、その製造方法は、素子分離領域が形成さ

— 9 —

ので、上記構造に類似するメモリセルであって、これの第2ゲート電極の形成を第1ゲート電極に対して自己整合的に行い、メモリセルの微細化、高集積化を図ることを可能として、また、動作の面では電氣的にデータの消去を可能として短時間でのデータ消去ができる等、機能的である不揮発性半導体記憶装置およびその製造方法を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

この発明による不揮発性半導体記憶装置によれば、

（イ） 第1導電型の半導体基板内に形成された第2導電型の第1、第2の拡散層と、

これらの第1、第2の拡散層間に存在するチャンネル領域上の一部、および第1の拡散層上に第1の絶縁膜を介して形成された第1ゲート電極と、

この第1ゲート電極の両側部に形成され、かつ上記基板上に延在して形成された第2の絶縁膜と、上記チャンネル領域上および第1ゲート電極の一

— 8 —

れた第1導電型の半導体基板に対し、第1の第2導電型拡散層形成用の第1の不純物をイオン注入する工程と、

全面に第1ゲート絶縁膜となる第1の絶縁膜を形成する工程と、

全面に第1ゲート電極となる第1の導体膜を形成する工程と、

上記第1の導体膜を第1ゲート電極形状にパターンニングする工程と、

上記第1ゲート電極をマスクに第1の絶縁膜を除去する工程と、

上記基板表面および第1ゲート電極表面に、第2ゲート絶縁膜並びに側部絶縁膜となる第2の絶縁膜を形成する工程と、

全面に第2、第3ゲート電極となる第2の導体膜を形成する工程と、

上記第2の導体膜を異方性エッチングし、第2の導体膜をパターンニングされた第1の導体膜の両側部に自己整合的に残置させ、第2、第3ゲート電極をそれぞれ形成する工程と、

— 10 —

全面に、ホトレジストを塗布し、これを第1の拡散層上を覆う形状にパターニングする工程と、
上記第1ないし第3ゲート電極、素子分離領域、および第1の拡散層上を覆うホトレジストをマスクにして基板に対し、第2の第2導電型拡散層形成用の第2の不純物をイオン注入し、活性化させてソース/ドレイン拡散層となる第1、第2の拡散層を形成する工程とを具備することを特徴とする。

(作用)

上記のような不揮発性半導体記憶装置およびその製造方法にあつては、第2ゲート電極が、第1ゲート電極に対して自己整合的に形成されるので、第2ゲート電極形成の際、合わせ誤差を考慮する必要がなくなり、メモリセルの微細化、高集積化を図ることが可能となる。

また、データの消去の際には、第2ゲート電極と同時に形成される第3ゲート電極を、消去ゲート電極として機能させることにより、電気的にデータの消去が可能となる。

— 1 1 —

ート絶縁膜8a、8bとなっている。側部絶縁膜7a、7bおよび第2ゲート絶縁膜8a、8b上には、第1ゲート電極6に対して自己整合的に形成された第2ゲート電極(選択ゲート電極)9aおよび第3ゲート電極(消去ゲート電極)9bがそれぞれ形成されている。

この発明の一実施例にかかる装置は、以上のような構造のメモリセルを具備している。

次に、上記構造のメモリセルを具備した装置の動作方法について説明する。

上記一実施例にかかる装置の基本動作としては、書き込み動作、読み出し動作、および消去動作の3つがある。以下、そのような動作について、順次説明する。

(1) 書き込み動作

データの書き込み時には、基板1、およびソース3は接地され、第2ゲート電極9a、ドレイン2、および第3ゲート電極9bには、それぞれ正の電圧を印加する。これにより、第1ゲート電極中に、第1ゲート絶縁膜5を通してチャネルホッ

— 1 3 —

(実施例)

以下、図面を参照してこの発明の一実施例について説明する。

第1図は、この発明の一実施例にかかる不揮発性半導体記憶装置の、特にメモリセルに注目して示した断面図、第2図(a)ないし第2図(d)は、第1図に示すメモリセルを製造工程順に示した断面図である。

まず、第1図に示すように、例えばp型半導体基板1の表面には、n型ドレイン領域2、およびソース領域3がそれぞれ形成され、これらのn型ドレイン領域2と、n型ソース領域3との相互間に存在するチャネル領域4、およびドレイン領域2上には、第1ゲート絶縁膜5が形成されている。この第1ゲート絶縁膜5の上部には、第1ゲート電極(浮遊ゲート電極)6が形成されている。また、これらからなる積層体の上部、および両側側部には、側部絶縁膜7a、7bがそれぞれ形成されている。この側部絶縁膜7a、7bは、さらにチャネル上に延在し、チャネル領域上では、第2ゲ

— 1 2 —

トエレクトロン(電子)が注入され、データの書き込みができる。

ただし、第3ゲート電極9bは、接地であっても書き込み可能である。

また、チャネルホットエレクトロン注入時、上記構造のメモリセルには、その構造上、以下に説明する特徴がある。

その特徴とは、チャネルホットエレクトロンの多くが、第2ゲート絶縁膜8aと、第1ゲート絶縁膜5との界面近傍、なかでも、特に第1ゲート電極6側に存在する第1ゲート絶縁膜5を介して、第1ゲート電極6中に注入される点である。すなわち、上記構造のメモリセルでは、第1ゲート電極6は電気的に浮遊状態にあり、また、第2ゲート電極9aは正の電位が印加されている。この結果、最も電界の高い領域は、第2ゲート絶縁膜8aと、第1ゲート絶縁膜5との界面近傍、なかでも、特に第1ゲート電極6側に存在する第1ゲート絶縁膜5付近となり、チャネルホットエレクトロンの多くがこの付近にて発生し、第1ゲート

— 1 4 —

電極 6 中に注入されるようになる。

(2) 読み出し動作

データの読み出し時には、基板 1、およびソース 3 は接地され、第 2 ゲート電極 9 a、およびドレイン 2 には、それぞれ書き込み時よりも低い正の電圧を印加する。これにより、第 1 ゲート電極 6 下の基板 1 表面領域におけるチャネル形成の有無を調べつことにより、データを表わす第 1 ゲート電極の帯電状態を調べることができる。このときも、第 3 ゲート電極 9 b は接地で構わない。

(3) 消去動作

データの消去時には、基板 1、ドレイン 2、ソース 3 および第 2 ゲート電極 9 a を接地し、第 3 ゲート電極 9 b に正の電位を印加する。これにより、第 1 ゲート電極 6 内に蓄積されている電子を、側部絶縁膜 8 b の F N トンネル現象 (Fowler Nordheim トンネル現象) を利用して第 3 ゲート電極 9 b に向けて引き抜くことができる。こうして、この発明の一実施例にかかる装置は、電気的にデータの消去を行なうことが可能であり、上記

— 15 —

により、ドレイン形成パターンを形成する。そして、このホトレジスト (図示せず) をマスクにして、ドレイン拡散層形成用の不純物、例えば n 型不純物であるヒ素を、加速電圧 40 KeV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の条件にてイオン注入し、n 型ドレイン拡散層 2 を形成する。

次に、第 2 図 (b) に示すように、犠牲酸化膜 10 を、例えばフッ化アンモニウム (NH₄F) 液を用いて除去する。次いで、素子領域表面に、例えば熱酸化法により、第 1 ゲート絶縁膜 5 となる第 1 の熱酸化膜を、例えば約 150 Å の厚みに形成する。次いで、全面に、例えば LPCVD 法により、第 1 ゲート電極 (浮遊ゲート電極) 6 となる第 1 層ポリシリコン層を、例えば約 4000 Å の厚みに堆積形成する。次いで、この第 1 層ポリシリコン層に対して、例えば塩化ホスホリル (POCl₃) の気相拡散法によって n 型不純物であるリンを拡散し、導体化 (n 型化) する。次いで、全面にホトレジスト (図示せず) を塗布し、これに対して写真蝕刻法により、第 1 ゲート電極

— 17 —

構造のメモリセルは、E² P R O M のメモリセルとして機能できるものである。

次に、上記一実施例にかかる不揮発性半導体記憶装置の、特にメモリセルに適用した製造方法を第 2 図 (a) ないし第 2 図 (d) の製造工程順に示した断面図を参照して説明する。

まず、第 2 図 (a) に示すように、例えば結晶方位 (100) の p 型半導体基板 1 の表面に、例えば LOCOS 法により、図示しないフィールド絶縁膜を形成し、素子分離を行なう。次いで、この基板 1 のフィールド絶縁膜によって囲まれている素子領域表面に、チャネルインブラの際のパッファとなる犠牲酸化膜 10 を、例えば熱酸化法により、約 100 Å の厚みに形成する。次いで、この犠牲酸化膜 10 を通して、基板 1 のチャネル形成予定領域に対して、しきい値制御用の所定不純物のイオン注入を行なう。図中の 11 は、このしきい値制御用の所定不純物がイオン注入された領域を示している。次いで、全面にホトレジスト

(図示せず) を塗布し、これに対して写真蝕刻法

— 16 —

6 形成パターンを形成する。そして、このホトレジスト (図示せず) をマスクにして、第 1 層ポリシリコン層を、異方性エッチングである R I E 法によりエッチングすることにより、第 1 ゲート電極 6 をパターン形成する。次いで、パターン形成された第 1 ゲート電極 6 をマスクにして、不要な第 1 の熱酸化膜を除去し、一旦、素子領域における基板 1 表面を露出させる。このとき、第 1 ゲート電極 6 の下に位置する第 1 の熱酸化膜はそのまま第 1 ゲート絶縁膜 5 となる。

次に、第 2 図 (c) に示すように、露出した基板 1 表面および第 1 ゲート電極 6 表面に、例えば熱酸化法により、第 2 ゲート絶縁膜 8 a、8 b および側部絶縁膜 7 a、7 b となる第 2 の熱酸化膜 7 を形成する。ここで第 2 の熱酸化膜は、露出した基板 1 の表面では、次の第 2 図 (d) に示される第 2 ゲート絶縁膜 8 a、8 b となり、例えば約 150 Å の厚みで形成される。一方、第 1 ゲート電極 6 表面では側部絶縁膜 7 a、7 b となり、例えば約 300 Å の厚みで形成される。次いで、全

— 18 —

面に、例えば L P C V D 法により、第 2 ゲート電極 9 a および第 3 ゲート電極（消去ゲート電極）9 b となる第 2 層ポリシリコン層 9 を、例えば約 4000 Å の厚みに堆積形成する。次いで、この第 2 層ポリシリコン層 9 に対して、例えば塩化ホスホリル（P O C l₃）の気相拡散法によって n 型不純物であるリンを拡散し、導体化（n 型化）する。

次に、第 2 図（d）に示すように、第 2 層ポリシリコン層 9 を、例えば異方性エッチングである R I E 法により、その膜厚程度全面エッチバックすることにより、第 1 ゲート電極 6 の両側側部に自己整合的に残置させ、第 2 ゲート電極 9 a および第 3 ゲート電極 9 b を形成する。次いで、全面にホトレジスト（図示せず）を塗布し、これに対して写真蝕刻法により、n 型ドレイン拡散層 2 の上部を覆うホトレジストパターンを形成する。そして、このホトレジスト（図示せず）と、第 1、第 2 ゲート電極 6、8 a と、フィールド絶縁膜（図示せず）とをマスクにして、ソース拡散層形

— 19 —

成用の不純物、例えば n 型不純物であるヒ素を、加速電圧 40 KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件にてイオン注入し、n 型ソース拡散層 3 を形成する。さらに上記ホトレジストを除去し、再度新たにホトレジストを塗布して、これに対して写真蝕刻法により、第 2 ゲート電極 9 a と、第 3 ゲート電極 9 b とを切断するための切断部パターンを形成する。次いで、このホトレジスト（図示せず）をマスクにして、例えば等方性エッチングである C D E 法を行なうことにより、第 2 ゲート電極 9 a と、第 3 ゲート電極 9 b とを切断分離する。

この後、図示しないが、よく知られているように、層間絶縁膜を堆積形成し、これに対して装置の所定の場所に通じるコンタクト孔を開孔し、さらに配線層となるアルミニウム膜等を蒸着し、これを所定の配線パターンにパターンニングする。ここで、配線パターンは、上述した装置の基本動作を満足するパターンであることは言うまでもない。そして、さらに全面に保護膜を堆積する等の諸工程を経てこの発明の一実施例にかかる不揮発性半

— 20 —

導体記憶装置が製造される。

このような本発明にかかる不揮発性半導体記憶装置であると、特にメモリセルにおいて、第 2 ゲート電極 9 a と、第 3 ゲート 9 b とが第 1 ゲート電極 6 に対して自己整合的に形成でき、合わせ誤差を考慮する必要がない。したがって、第 3 図に図示する従来構造のメモリセルと比較して、この発明にかかる装置が具備するメモリセルは、いっそうの微細化、高集積化を図ることが可能である。

また、装置の動作方法の点では、第 1 ゲート電極 6 に対して自己整合的に形成された第 3 ゲート電極 9 b を消去ゲート電極として機能させることで、電気的な消去が可能となり、短時間でのデータ消去が可能で、機能的なものとすることができ

る。また、第 3 ゲート電極 9 b は、第 1 のゲート電極 6 側部に第 2 層ポリシリコン層 9 を自己整合的に残置させる工程で、第 1 ゲート電極 6 の両側側部に第 2 層ポリシリコン層 9 が残置されることを利用して形成される。つまり、両側側部に残置さ

— 21 —

れた第 2 層ポリシリコン層 9 を切断分離するだけで、第 2 ゲート電極 9 a と、第 3 ゲート電極 9 b とを同時に形成することができ、第 3 ゲート電極 9 b、すなわち消去ゲート電極を、格別複雑な工程を追加することなく形成できる。

さらに、第 3 図に図示する従来構造のメモリセルと、第 1 図に図示するこの発明にかかる装置が具備するメモリセルとを比較してみると、従来のメモリセルでは第 1 ゲート電極 105 の上部にかかって第 2 ゲート電極 108 が形成されているのに対し、この発明にかかる装置が具備するメモリセルでは、第 2 ゲート電極 9 a、第 3 ゲート電極 9 b のいずれにおいても第 1 ゲート電極 6 の上部にかかって形成されていない。別にこれは、第 1 ゲート電極 6 の上部にかかって、第 2 ゲート電極 9 a あるいは第 3 ゲート電極 9 b が形成されていても、装置の動作には差支えはない。しかしながら、第 1 図に示すように、第 1 ゲート電極 6 の膜厚と、第 2 ゲート電極 9 a および第 3 ゲート電極 9 b の膜厚とをほぼ同じ程度にし、形成すること

— 22 —

で、メモリセル部と周辺回路部との間に生じる段差が緩和され、配線の、特に段切れ等に関する信頼性を高めることができる。

尚、上記実施例中、第1層、第2層ポリシリコン層の膜厚、あるいはソース/ドレイン拡散層形成用の不純物のインプラ条件等、具体的な数値を例に挙げて説明しているが、この発明は上記数値に限られるものではなく、種々変更が可能である。例えば上記実施例では、第1ゲート電極（浮遊ゲート電極）となる第1層ポリシリコン層の膜厚が約4000Åとなっているが、装置の消去動作において、この膜厚は薄いほうが効率よく電子を引き抜くことができる点を考慮すると、4000Å以下の膜厚でも構わない。

さらに、上記実施例では、該装置を、短時間でデータ消去を可能とする等、機能的なものとするために、電気的にデータ消去が可能であるE²PR²OM構成とし、上記構造のメモリセルをE²PR²OMとして機能させた。しかし、上記構造のメモリセルは、紫外線によりデータ消去を行

なうEPR²OMとして機能させることも可能であるものとなっている。よって、上記構造のメモリセルを具備する不揮発性半導体記憶装置は、必要に応じてE²PR²OM構成としたり、EPR²OM構成としたり、選択が自由である。ここで、EPR²OM構成を選択した場合には、従来構造のメモリセルを備える装置の動作と、動作的には変わらなくなるが、メモリセル自体は微細化されるので、集積度が上がることは勿論であり、第1ゲート電極の膜厚と、第2ゲート電極の膜厚とをほぼ等しく形成すれば、周辺回路部と、メモリセル部との間の段差が緩和されることは言うまでもない。

〔発明の効果〕

以上説明したように、この発明によれば、第2ゲート電極が第1ゲート電極に対して自己整合的に形成でき、メモリセルの微細化、高集積化が図られ、また、動作の面では電気的にデータの消去ができ、短時間でのデータ消去が可能である等、機能的な不揮発性半導体記憶装置およびその製造

— 23 —

— 24 —

方法が提供される。

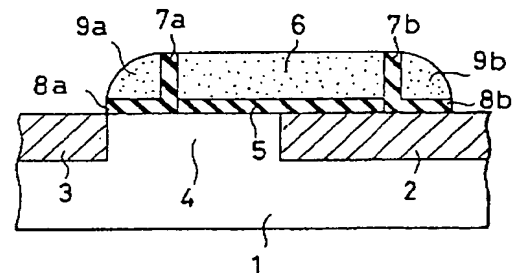
4. 図面の簡単な説明

第1図はこの発明の一実施例に係わる不揮発性半導体記憶装置のメモリセルの断面図、第2図(a)ないし第2図(d)は上記一実施例に係わる不揮発性半導体記憶装置のメモリセルを製造工程順に示した断面図、第3図は従来構造のメモリセルの断面図である。

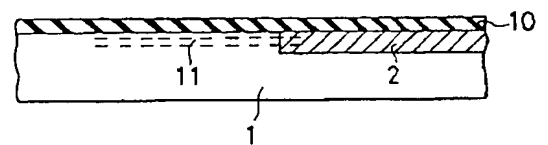
1…p型半導体基板、2…n型ドレイン領域、3…n型ソース領域、4…チャネル領域、5…第1ゲート絶縁膜、6…第1ゲート電極、7a、7b…側部絶縁膜、8a、8b…第2ゲート絶縁膜、9a…第2ゲート電極、9b…第3ゲート電極。

出願人代理人 弁理士 鈴江武彦

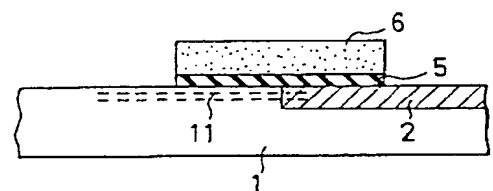
— 25 —



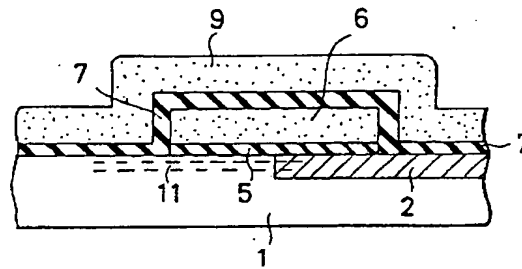
第1図



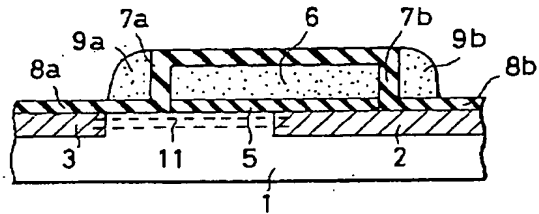
第2図(a)



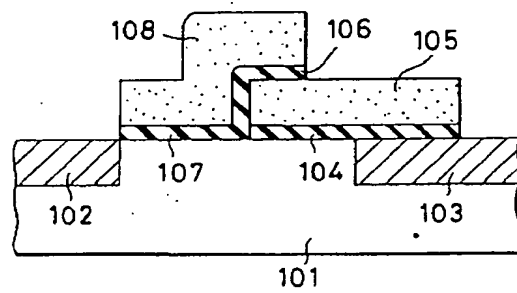
第2図(b)



第 2 図 (C)



第 2 図 (d)



第 3 図